

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-117327

(43)Date of publication of application : 24.06.1985

(51)Int.Cl.

G06F 3/14

G09G 1/02

(21)Application number : 58-224064

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 30.11.1983

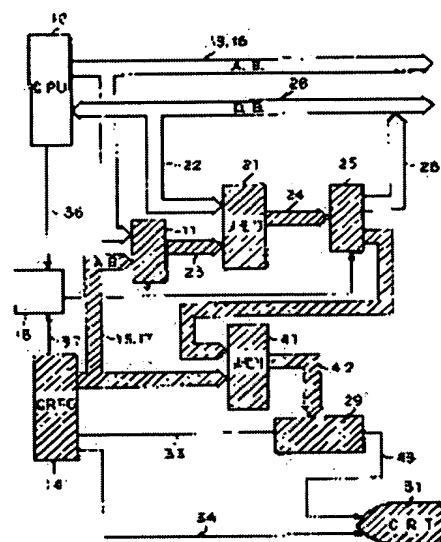
(72)Inventor : YAMAURA ICHIRO

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To receive no limitation to a memory access for a CPU and a CRT controller by providing two memory areas and transferring data to the 1st area from the 2nd area in a non-access mode of the CPU to the 2nd area.

CONSTITUTION: A display device contains two memory areas 21 and 41 and is needed to write data the memory 41 exclusive for display from the other memory 21. A CPU 12 sometimes gives no access to the memory 21 when a CRT controller 14 gives an access to the memory 41. In such a case, the address data 17 delivered from the controller 14 is sent to both memories 21 and 41. In this case, the old data is read out of the memory 41 and sent to a CRT 31 for display via a parallel/serial converter 29. The new data read out of the memory 21 is written to the same address of the memory 41. The controller 14 designates address successively and accordingly the contents of the memory 21 are transferred to the memory 41.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-117327

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月24日

G 06 F 3/14
G 09 G 1/027622-5B
7923-5C

審査請求 有 発明の数 1 (全10頁)

⑮ 発明の名称 ディスプレイ装置

⑯ 特 願 昭58-224064

⑰ 出 願 昭58(1983)11月30日

⑱ 発 明 者 山 浦 一 郎 海老名市本郷2274 富士ゼロックス株式会社海老名工場内

⑲ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

⑳ 代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

ディスプレイ装置

2. 特許請求の範囲

データの表示を行う表示部と、この表示部に表示する内容を書き込んだ第1のメモリ領域と、前記表示部に表示すべきデータの処理を行う中央処理装置と、この中央処理装置によるデータの読み出しおよび書き込みのために設けられた第2のメモリ領域と、中央処理装置が第2のメモリ領域をアクセスしていないときこの領域に書き込まれた表示用のデータを前記第1のメモリ領域に書き込むデータ転送手段とを具備することを特徴とするディスプレイ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は中央処理装置によって表示を制御されるディスプレイ装置に関する。

〔従来技術〕

ワードプロセッサ等に使用されるディスプレイ

装置では、中央処理装置(以下CPUという)の制御のもとにCRT等の表示部にデータの表示を行っている。表示されるデータはメモリに格納される。カーソルの移動のように表示内容が変化する場合には、CPUがメモリ内のデータを変化させ、このメモリから読み出されたデータの内容がCRT等に逐次表示されることになる。

第1図は従来のディスプレイ装置の構成を表わしたものである。第1のマルチプレクサ11は、CPU12のアドレスバス(A.B.)13とCRTコントローラ(CRT.C)14のアドレスバス15の双方からアドレスデータ16、17の供給を受けるようになっており、メモリコントローラ18から供給される選択信号19によってアドレスデータ16、17の選択を行う。メモリ21は、CPU12からデータ(ライトデータ)22の供給を受け、選択されたアドレスデータ23の示すアドレスにこれを書き込む。

一方、メモリ21から出力されるデータ(リードデータ)24は、第2のマルチプレクサ25に

供給され、選択信号19によって2つの出力端のいずれかが選択される。一方の出力端から出力されるデータ26はデータバス(D.B.)28に供給され、CPU12による処理が行われる。他方の出力端から出力される読み出しデータ27は、パラレル・シリアル変換器29に供給され、シリアルなビデオ信号30としてCRT31に供給され、その内容が表示される。CRTコントローラ14からシリアル・パラレル変換器29には、クロック信号、ロード信号、クリア信号等の制御信号33が供給される。またCRTコントローラ14からCRT31に対しては、水平、垂直の両同期信号34が供給される。

このディスプレイ装置においてCPUがデータを書き込む場合を示すと第2図のようになる。すなわち第1のマルチプレクサ11は、CPU12から送られてきたアドレスデータ16を選択後のアドレスデータ23としてメモリ21に供給し、データ22の書き込みを行う。

CPU12がメモリ21からデータの読み出し

を行う場合は第3図に示すようになる。すなわちマルチプレクサ11は、CPU12から送られてきたアドレスデータ16を選択後のアドレスデータ23としてメモリ21に供給する。メモリ21は読み出し状態となっており、該当するアドレスのデータ24は第2のマルチプレクサ25に供給される。第2のマルチプレクサ25ではメモリコントローラ18の制御によってデータ26をデータバス28へ出力する。

これに対して第4図はCRTコントローラ14からデータの読み出しが行われる場合を表わしている。この場合、第1のマルチプレクサ11はCRTコントローラ14から送られてきたアドレスデータ17を、選択後のアドレスデータ23としてメモリ21に供給する。メモリ21から読み出されたデータ24は、データ27として第2のマルチプレクサ27から出力され、パラレル・シリアル変換器29に供給される。CRT31ではシリアルなビデオ信号30を入力しメモリ21の内容を表示する。

3

さて以上説明した装置の各動作において両マルチプレクサ11、25の切り換え動作は、第5図に示すようにCPU12あるいはCRTコントローラ14が出力するメモリ要求信号36、37に基づきメモリコントローラ18が行う。従ってもしCPU12とCRTコントローラ14が同時にメモリ21のアクセスを行えば、同図に示すように異なる2種類のアドレス情報が競合することになり、装置の制御が不可能となる。

そこでこのような事態を回避させるために、従来から幾つかのメモリアクセス制御が行われている。このうちの①同期バス方式と呼ばれる制御では、第6図に示すようにCPUのアクセス期間(同図a)とCRTコントローラのアクセス期間を交互に切り換えるようにしたものである。ところがこのような制御はCPUのバスが同期式であることが条件となり、すべてのCPUに適用できるものではない。

この他の制御として②CRTのブランキング時のみにCPUがアクセスする方式がある。この方

4

式ではCRTの水平帰線(horizontal retrace)および垂直帰線(vertical retrace)の各期間中にCRTコントローラがメモリのアクセスを行わないことを利用し、CPUがこの期間中のみメモリへアクセスできるようにしたものである。ところがこの方式では、メモリへのCPUのアクセス効率が非常に悪い。また③CRTコントローラが常に優先権をもつ方式では、CRTコントローラがいつでもメモリをアクセスでき、これ以外のときにCPUのアクセスが許される。従ってこの場合もメモリへのCPUのアクセス効率が悪くなる。これに対して④CPUが常に優先権をもつ方式ではCPUのアクセス効率が一番良くなる。しかしながらこの場合には、CRTコントローラが必要なときメモリをアクセスできる保証がない。従ってCRTの画面にチラツキが生ずる場合があり、非常に見づらくなる。

〔発明の目的〕

本発明はこのような事情に鑑み、CPUとCRTコントローラが互にメモリのアクセスに制約を

5

6

受けることのないディスプレイ装置を提供することをその目的とする。

〔発明の構成〕

本発明では、ディスプレイ装置に第1のメモリ領域と第2のメモリ領域の二つのメモリ領域を設ける。そしてCRT等の表示部に対するデータの読み出しを第1のメモリ領域から行い、中央処理装置によるデータの読み出しおよび書き込みを第2のメモリ領域により行う。第2のメモリ領域から第1のメモリ領域に対するデータの転送は、中央処理装置が第2のメモリ領域をアクセスしていないときにデータ転送手段によって行う。

〔実施例〕

以下実施例につき本発明を詳細に説明する。

第7図は本実施例のディスプレイ装置の構成を表わしたものである。第1図～第5図と同一部分には同一の符号を付し、それらの説明を適宜省略する。このディスプレイ装置では、データの格納用に2つのメモリ21、41を備えている。メモリ21（第2のメモリ領域）は従来と同様なもの

で、アドレスデータ23によってアドレスを指定され、データ22の書き込みあるいはデータ24の読み出しを行う。もう1つのメモリ（第1のメモリ領域）41はCRTコントローラ14からアドレスデータ17の供給を受け、第2のマルチプレクサ25から出力されるデータ27の書き込みあるいはデータ42の読み出しを行う。パラレル・シリアル変換器29はデータ42の入力を行い、ビデオ信号43としてCRT31に出力する。

第8図はこの装置でCPUがメモリにデータの書き込みを行う場合を表わしたものである。第1のマルチプレクサ11はCPU12から送られてきたアドレスデータ16をアドレスデータ23としてメモリ21に供給し、データ22の書き込みを行う。CRTコントローラ14が読み出しを行う場合には、メモリ41からデータ42が出力される。すなわちCRTコントローラ14はCPU12の書き込み動作と並行してデータの表示を行うことができる。

第9図はCPUがメモリからデータの読み出し

を行う場合を表わしたものである。マルチプレクサ11は、アドレスデータ16を選択後のアドレスデータ23としてメモリ21に供給する。第2のマルチプレクサ25はメモリ21の出力するデータ24をデータ26としてデータバス28へ出力する。この場合にも、CRTコントローラ14はCPU12の動作と並行してデータの表示を行うことができる。すなわちCRT31には画面のチラツキが生じない。

ところでこのディスプレイ装置では2つのメモリ21、41を備えているので、表示専用のメモリ41に他のメモリ21からデータの書き込みを行うことが必要になる。第10図はこの様子を表わしたものである。CRTコントローラ14がメモリ41をアクセスするときにCPU12がメモリ21をアクセスしていない場合がある。このような場合、CRTコントローラ14から出力されるアドレスデータ17は両メモリ21、41に送られる。このときメモリ41からは古いデータが読み出され、パラレル・シリアル変換器29を経

てCRT31に送られ、表示される。メモリ21から読み出された新しいデータはメモリ41の同一アドレスに書き込まれる。CRTコントローラ14は順次アドレスを指定していくので、これに伴ってメモリ21の内容がメモリ41に転送されることになる。

このようなデータ転送は、ディスプレイ装置にダイナミック・ランダム・アクセス・メモリを使用したとき、リード・モディファイ・ライト・サイクル（READ-MODIFY-WRITE-CYCLE）と呼ばれるモードによって実現することができる。

第11図において同図（A）はメモリ21の、また同図（B）はメモリ41のタイミングを表わしたものである。リード・モディファイ・ライト・サイクルでは、CAS入力（同図a2、b2）よりもWE入力（同図b4）の方が時間的に後から立ち下がる。従って一方のメモリ21から読み出された新しいデータ24（同図a6）を他方のメモリ41の書き込み用のデータ（同図b5）とし

て転送し、WE入力(同図b4)の立ち下がりによってセットすることができる。メモリ41に書き込まれていた古いデータ42(同図b6)はこれよりも先に読み出され、CRTに表示されることになる。

CRTコントローラ14がメモリ21をアクセスしている途中でCPU12がこのメモリ21のアクセスを開始する場合がある。このような事態が発生すると、CRTコントローラ14が出力したアドレス情報に対応させてメモリ21からデータの読み出しを行うことが不可能となる。このようなときは、メモリ41へのデータの書き込みを中止する。

これを第11図で具体的に説明する。同図(A)においてアスタリスク*の付された時点まで、CPU12がメモリ21のアクセスを行わなかったとする。このときには、メモリ21の内容が正しく読み出される。読み出されたデータ24はメモリ41に書き込まれる。これに対して、アスタリスク*の付された時点よりも前にCPU12がメ

モリ21のアクセスを開始した場合には、データ24の正しい読み出しが不可能となる。そこでこのような場合には、WE入力(同図b4)を破線45で示すように不活性のままとする。これにより一方のメモリ21から読み出されたデータ24が他方のメモリ41に書き込まれることを禁止することができる。

〔発明の効果〕

以上説明したように本発明では、一般に価格が急激に低下しつつあるメモリをデータ蓄積用に2面分備えるだけで、これらメモリに対するCPUのアクセス効率を最大まで引き上げることができる。またこの種メモリのアクセスに起因する表示画面のチラツキを解消させることができる。

4. 図面の簡単な説明

第1図は従来のディスプレイ装置のブロック図、第2図はこの装置でCPUがデータの書き込みを行う場合を表わした説明図、第3図はこの装置でCPUがデータの読み出しを行う場合を表わした説明図、第4図はこの装置でCRTコントローラ

1 1

1 2

がデータの読み出しを行う場合を表わした説明図、第5図はこの装置でCPUとCRTコントローラが同時にアクセスした場合を表わした説明図、第6図は従来のディスプレイ装置における同期バス方式と呼ばれるメモリアクセス制御を示すタイミング図、第7図～第11図は本発明の一実施例を説明するためのもので、このうち第7図はディスプレイ装置のブロック図、第8図はCPUがデータの書き込みを行う場合を表わした説明図、第9図はCPUがデータの読み出しを行う場合を表わした説明図、第10図はCRTコントローラがデータの読み出しと新しいデータの書き込みを行う場合を表わした説明図、第11図(A)、(B)は第10図に示した場合における各メモリの動作をそれぞれ説明するための各種タイミング図である。

12……CPU、

14……CRTコントローラ、

21……メモリ(第2のメモリ領域)、

31……CRT(表示部)、

41……メモリ(第1のメモリ領域)。

出 願 人

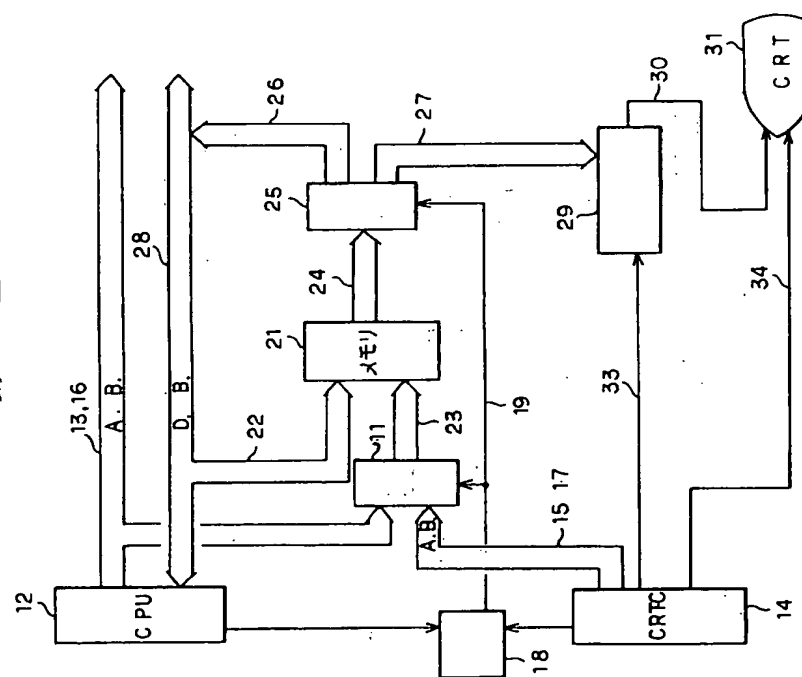
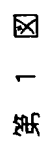
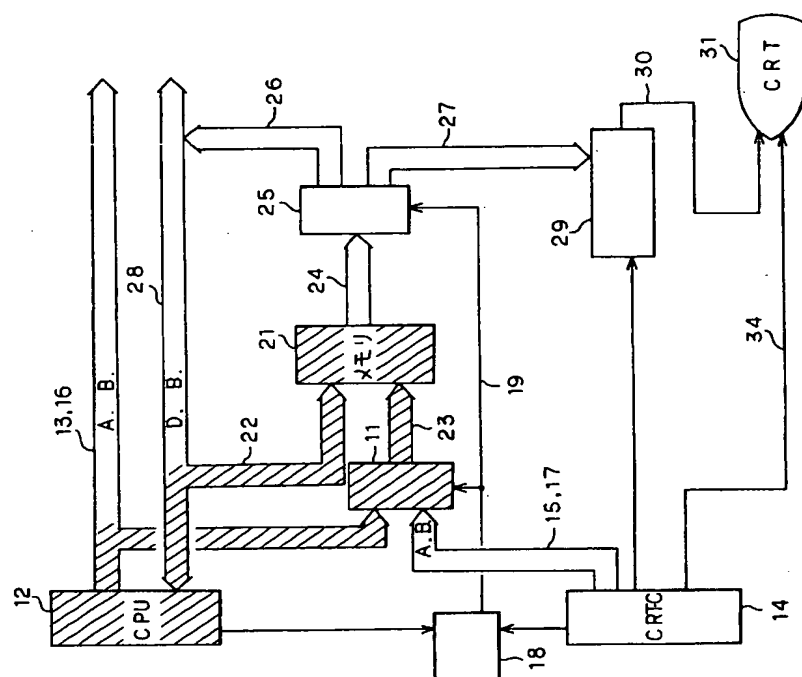
富士ゼロックス株式会社

代 理 人

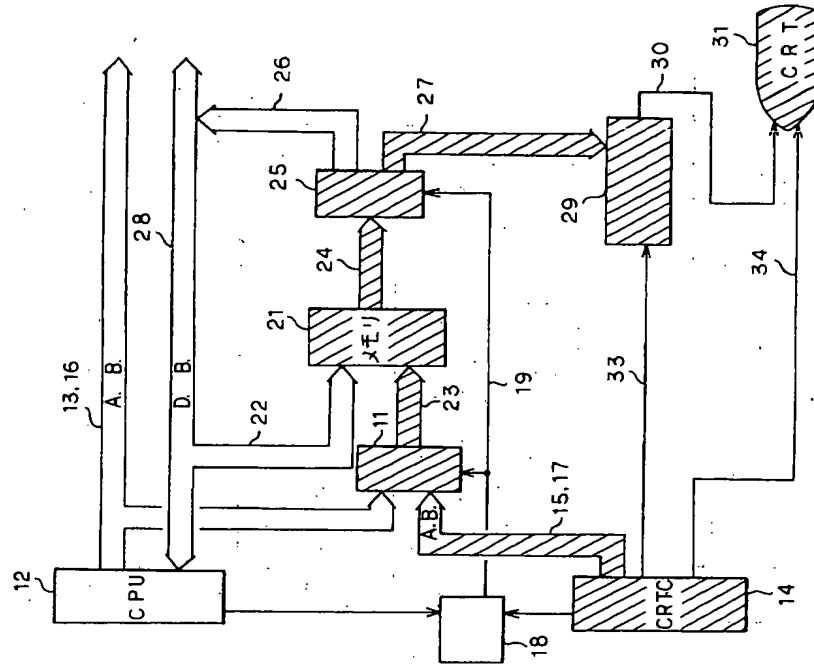
弁理士 山 内 梅 雄

1 3

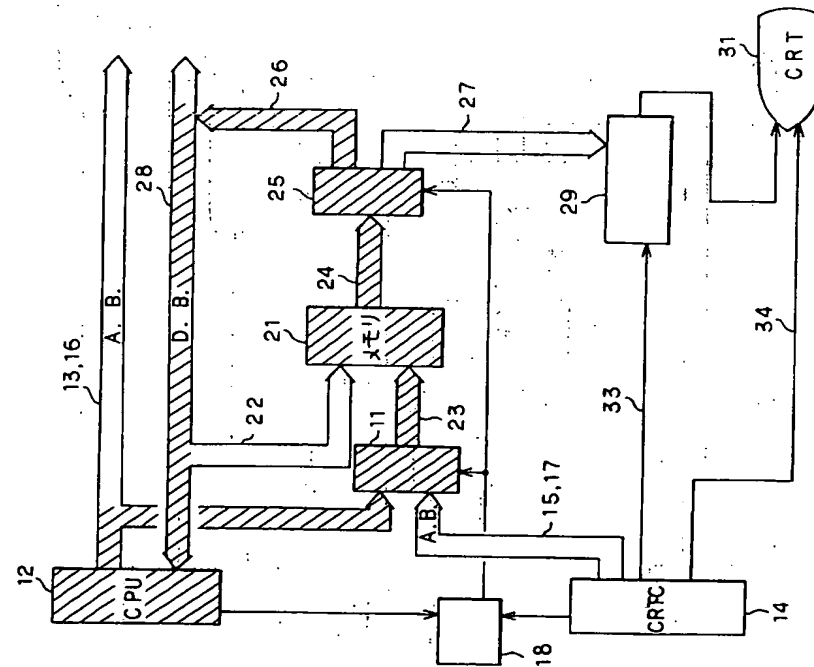
1 4



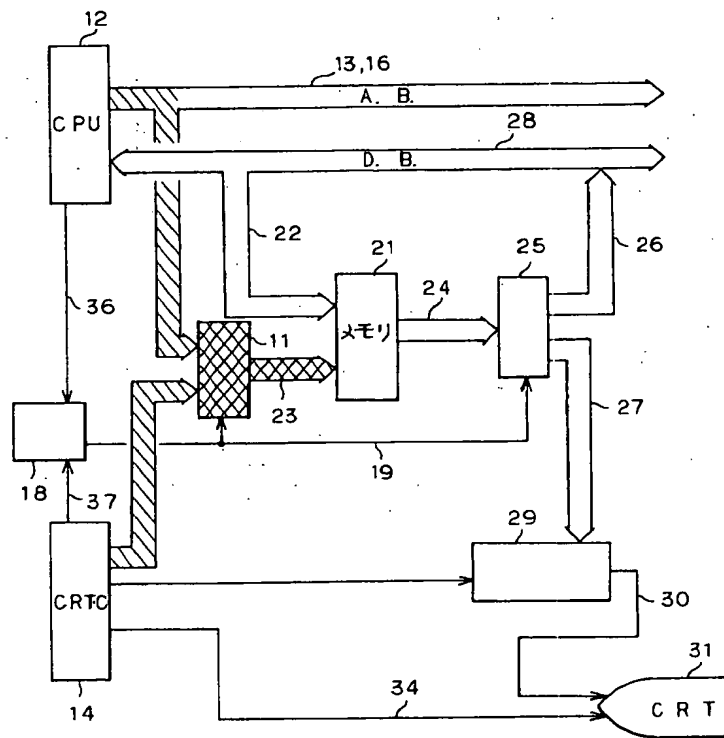
第 4 図



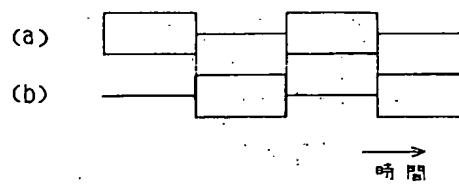
第 3 図



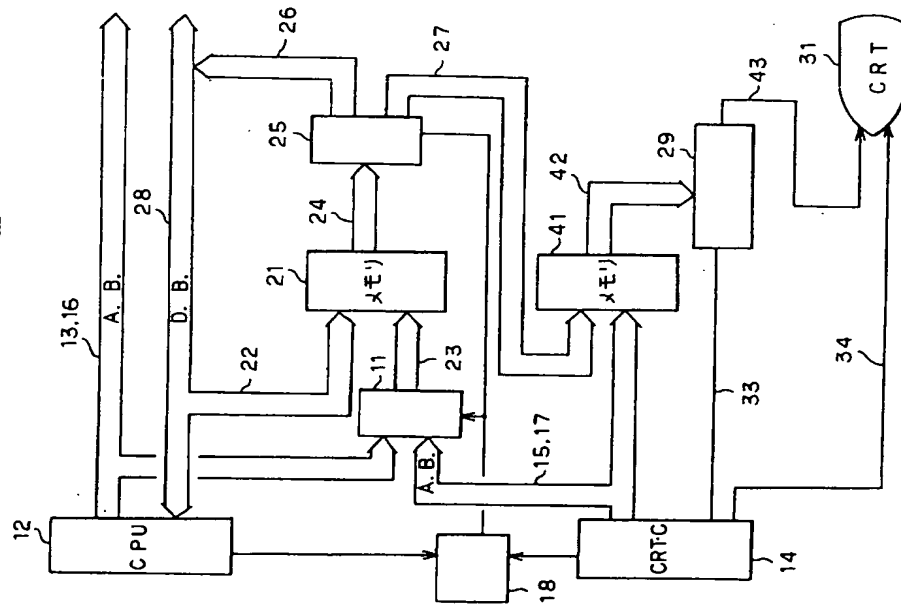
第 5 図



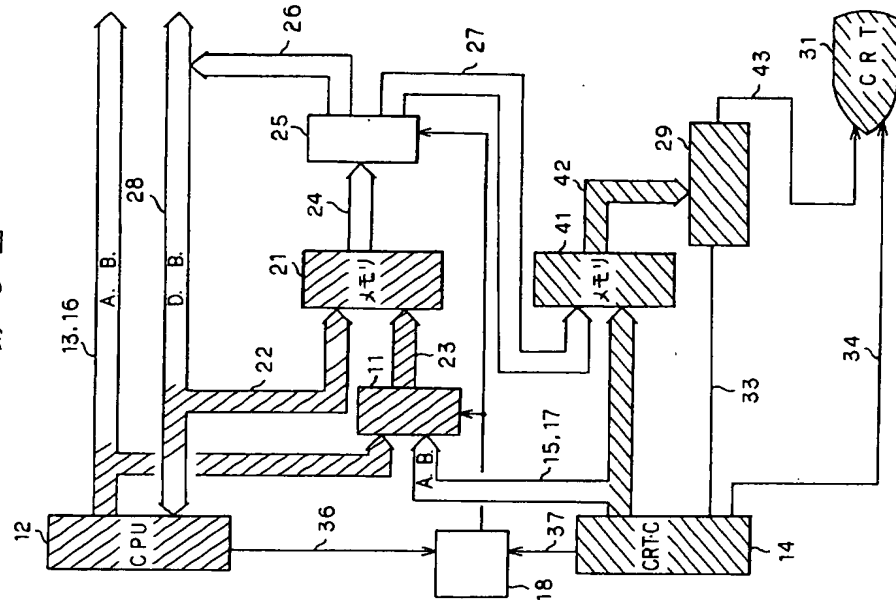
第 6 図



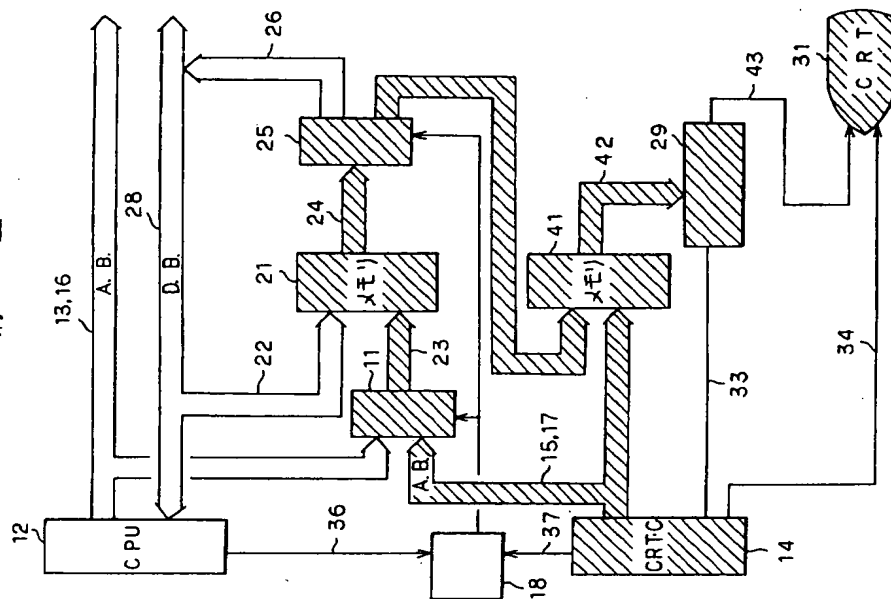
第 7 図



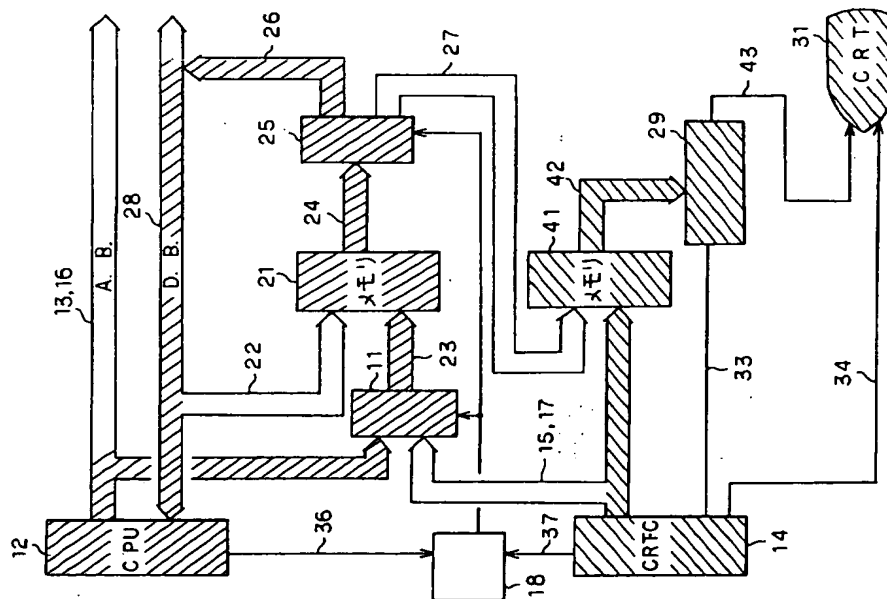
第 8 図



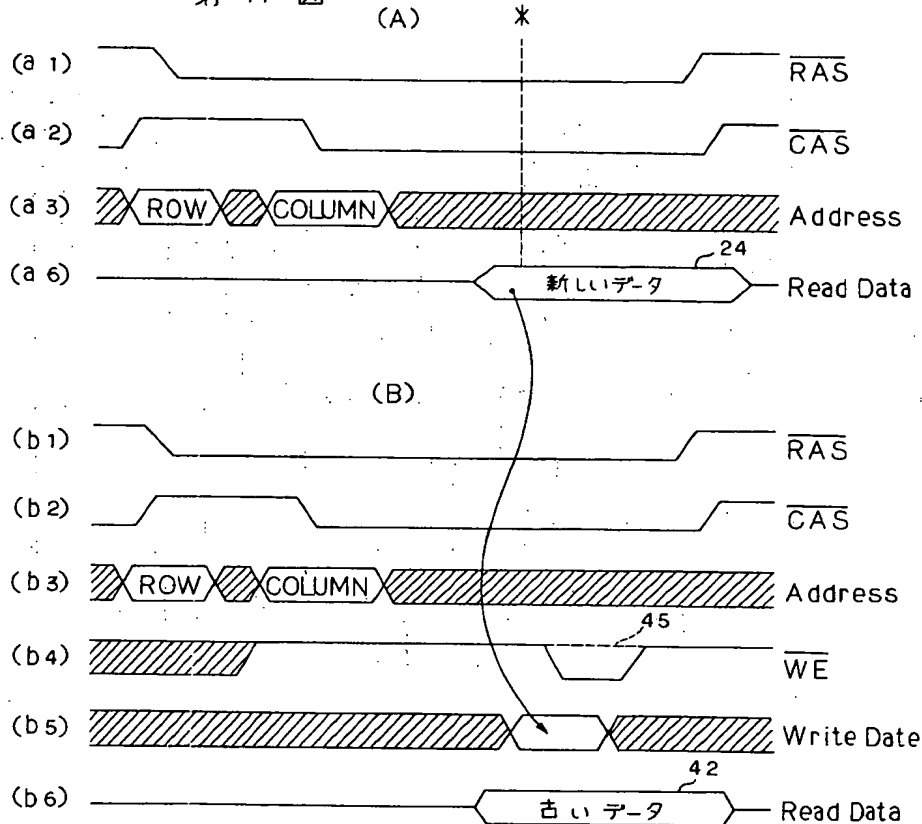
第 10 図



第 9 図



第 11 図



手 続 補 正 書 (方式)

昭和 5 9 年 3 月 3 日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和 5 8 年特許願 第 2 2 4 0 6 4 号

2. 発明の名称

ディスプレイ装置

3. 補正をする者

事件との関係 特許出願人
氏名(名称) 富士ゼロックス株式会社

4. 代理人

〒151 電話(320)0969 ファクシミリ(320)0952
住所 東京都渋谷区代々木2-11-12 木村ビル7 階
氏名 (8398) 弁理士 山内 梅雄

5. 補正命令の日付

昭和 5 9 年 2 月 2 8 日(発送日)

6. 補正の対象

明細書の図面の簡単な説明の欄

7. 補正の内容

本願明細書の第 1 3 ページ第 1 3 行目の「第 1 1 図(A)、(B)」を「第 1 1 図」と訂正する。

以上

方式
特許

